

**ANX-PR/CL/001-01**  
**GUÍA DE APRENDIZAJE**

**ASIGNATURA**

Diseño microelectrónico

**CURSO ACADÉMICO - SEMESTRE**

2016-17 - Primer semestre

## Datos Descriptivos

---

<b>Nombre de la Asignatura</b>	Diseño microelectrónico
<b>Titulación</b>	09AQ - Master Universitario en Ingeniería de Telecomunicación
<b>Centro responsable de la titulación</b>	Escuela Técnica Superior de Ingenieros de Telecomunicación
<b>Semestre/s de impartición</b>	Tercer semestre
<b>Módulos</b>	Intensificación-investigación en telecomunicación
<b>Materias</b>	Electrónica II
<b>Carácter</b>	Optativa
<b>Código UPM</b>	93000835
<b>Nombre en inglés</b>	Microelectronic design

## Datos Generales

---

<b>Créditos</b>	6	<b>Curso</b>	2
<b>Curso Académico</b>	2016-17	<b>Período de impartición</b>	Septiembre-Enero
<b>Idioma de impartición</b>	Castellano	<b>Otros idiomas de impartición</b>	

## Requisitos Previos Obligatorios

---

### Asignaturas Previas Requeridas

El plan de estudios Master Universitario en Ingeniería de Telecomunicación no tiene definidas asignaturas previas superadas para esta asignatura.

### Otros Requisitos

El plan de estudios Master Universitario en Ingeniería de Telecomunicación no tiene definidos otros requisitos para esta asignatura.

## Conocimientos Previos

---

### Asignaturas Previas Recomendadas

El coordinador de la asignatura no ha definido asignaturas previas recomendadas.

### Otros Conocimientos Previos Recomendados

El coordinador de la asignatura no ha definido otros conocimientos previos recomendados.

## Competencias

---

CE10 - Capacidad para diseñar y fabricar circuitos integrados.

CE11 - Conocimiento de los lenguajes de descripción hardware para circuitos de alta complejidad.

CE12 - Capacidad para utilizar dispositivos lógicos programables, así como para diseñar sistemas electrónicos avanzados, tanto analógicos como digitales. Capacidad para diseñar componentes de comunicaciones como por ejemplo encaminadores, conmutadores, concentradores, emisores y receptores en diferentes bandas.

CT3 - Capacidad para adoptar soluciones creativas que satisfagan adecuadamente las diferentes necesidades planteadas.

CT4 - Capacidad para trabajar de forma efectiva como individuo, organizando y planificando su propio trabajo, de forma independiente o como miembro de un equipo.

CT5 - Capacidad para gestionar la información, identificando las fuentes necesarias, los principales tipos de documentos técnicos y científicos, de una manera adecuada y eficiente.

## Resultados de Aprendizaje

---

RA9 - Saber redactar informes técnicos sobre trabajos realizados, con una estructura, contenidos y lenguaje del nivel adecuado a un trabajo de ingeniería

RA89 - Conocer las opciones en el diseño de circuitos integrados de bloques combinacionales, secuenciales, rutas de datos, memorias y circuitos de propósito especiales.

RA88 - Ser capaz de tomar decisiones de diseño para un circuito integrado CMOS, verificando su impacto mediante simulación.

RA87 - Comprender cómo distintas alternativas de diseño para un circuito integrado CMOS afectan a su área, velocidad, consumo de potencia, fiabilidad y coste.

RA92 - Conocimiento práctico de métodos modernos de diseño y herramientas básicas para el diseño full-custom.

RA93 - Conocimiento práctico de métodos modernos de diseño y herramientas básicas para el diseño con células estándar y FPGA.

RA94 - Diseñar, verificar y caracterizar un circuito integrado CMOS a partir de una especificación.

## Profesorado

---

### Profesorado

Nombre	Despacho	e-mail	Tutorías
Ituero Herrero, Pablo ( <b>Coordinador/a</b> )	C-226	pablo.ituero@upm.es	X - 14:00 - 17:00
Lopez Vallejo, M. Luisa	C-230	m.lopez.vallejo@upm.es	M - 18:00 - 19:00 J - 17:00 - 19:00

**Nota.-** Las horas de tutoría son orientativas y pueden sufrir modificaciones. Se deberá confirmar los horarios de tutorías con el profesorado.

## Descripción de la Asignatura

---

## Temario

---

1. Introducción al diseño de ASICs
2. Transistores: su funcionamiento
  - 2.1. Estructura MOS
  - 2.2. El transistor MOSFET
  - 2.3. Efectos de segundo orden
  - 2.4. Modelo unificado
3. Lógica CMOS
  - 3.1. Inversores
  - 3.2. Lógica de puertas
  - 3.3. Diagramas de barras
  - 3.4. Lógica de conmutación
4. Proceso CMOS
  - 4.1. Proceso CMOS básico
  - 4.2. Reglas de diseño
  - 4.3. Latchup
5. Caracterización del circuito
  - 5.1. Resistencia
  - 5.2. Capacidad
  - 5.3. Retardo
  - 5.4. Excitación de grandes capacidades
  - 5.5. Consumo de potencia (estática y dinámica)
  - 5.6. Optimización
6. Lógica secuencial, temporización y familias lógicas
  - 6.1. Elementos de memoria
  - 6.2. Temporización
  - 6.3. Familias Lógicas
7. Memorias
  - 7.1. RAMs
  - 7.2. ROMs

8. Diseño semi-custom
  - 8.1. Flujo de diseño semi-custo
  - 8.2. Síntesis
  - 8.3. Diseño físico
9. Visión global del circuito integrado
  - 9.1. Entrada/Salida del chip
  - 9.2. Plano de base
  - 9.3. Alternativas de diseño de chips CMOS
  - 9.4. Trazado de circuitos analógicos
  - 9.5. Aspectos económicos
10. Test de circuitos integrados / Diseño para test
  - 10.1. Necesidad del test
  - 10.2. Controlabilidad, observabilidad y modelos de fallos
  - 10.3. Estrategias de diseño para test
  - 10.4. Test a nivel de sistema

## Cronograma

**Horas totales:** 58 horas

**Horas presenciales:** 58 horas (37.2%)

**Peso total de actividades de evaluación continua:**  
100%

**Peso total de actividades de evaluación sólo prueba final:**  
100%

Semana	Actividad Presencial en Aula	Actividad Presencial en Laboratorio	Otra Actividad Presencial	Actividades Evaluación
Semana 1	<p><b>Tema 1: Introducción al diseño de ASICs</b> Duración: 01:00 LM: Actividad del tipo Lección Magistral</p> <p><b>Tema 2: Transistores: su funcionamiento</b> Duración: 02:00 LM: Actividad del tipo Lección Magistral</p>			
Semana 2	<p><b>Tema 2: Transistores: su funcionamiento</b> Duración: 01:00 LM: Actividad del tipo Lección Magistral</p> <p><b>Tema 2: Transistores: su funcionamiento</b> Duración: 02:00 PR: Actividad del tipo Clase de Problemas</p>			
Semana 3	<p><b>Tema 3: Lógica CMOS</b> Duración: 01:00 LM: Actividad del tipo Lección Magistral</p> <p><b>Tema 3: Lógica CMOS</b> Duración: 02:00 LM: Actividad del tipo Lección Magistral</p>			
Semana 4	<p><b>Tema 3: Lógica CMOS</b> Duración: 01:00 LM: Actividad del tipo Lección Magistral</p> <p><b>Tema 4: Proceso CMOS</b> Duración: 02:00 LM: Actividad del tipo Lección Magistral</p>	<p><b>Aprendizaje de la herramienta icfb. Diseño, simulación y caracterización de un inversor. Diseño, simulación y caracterización de dos células básicas: NAND, NOR de dos entradas o similar.</b> Duración: 02:00 PL: Actividad del tipo Prácticas de Laboratorio</p>		<p><b>Entrega de problemas teóricos sobre el funcionamiento de los transistores MOS</b> Duración: 00:00 TI: Técnica del tipo Trabajo Individual Evaluación continua Actividad no presencial</p>
Semana 5	<p><b>Presentación del proyecto</b> Duración: 01:00 OT: Otras actividades formativas</p> <p><b>Tema 5: Caracterización del circuito</b> Duración: 02:00 LM: Actividad del tipo Lección Magistral</p>	<p><b>Trazados, DRC, LVS y backannotation.</b> Duración: 03:00 PL: Actividad del tipo Prácticas de Laboratorio</p>		
Semana 6	<p><b>Tema 5: Caracterización del circuito</b> Duración: 01:00 PR: Actividad del tipo Clase de Problemas</p> <p><b>Tema 5: Caracterización del circuito</b> Duración: 02:00 LM: Actividad del tipo Lección Magistral</p>	<p><b>Parámetros, análisis de corners y análisis estadístico.</b> Duración: 03:00 PL: Actividad del tipo Prácticas de Laboratorio</p>		

Semana 7	<p><b>Tema 6: Circuitos secuenciales</b> Duración: 01:00 LM: Actividad del tipo Lección Magistral</p> <p><b>Tema 6: Circuitos secuenciales</b> Duración: 02:00 LM: Actividad del tipo Lección Magistral</p>			<p><b>Primera entrega del proyecto correspondiente a circuitos combinacionales</b> Duración: 00:00 TG: Técnica del tipo Trabajo en Grupo Evaluación continua Actividad presencial</p>
Semana 8	<p><b>Tema 6: Circuitos secuenciales</b> Duración: 01:00 LM: Actividad del tipo Lección Magistral</p> <p><b>Tema 6: Circuitos secuenciales</b> Duración: 02:00 LM: Actividad del tipo Lección Magistral</p>			
Semana 9	<p><b>Tema 6: Circuitos secuenciales</b> Duración: 01:00 LM: Actividad del tipo Lección Magistral</p> <p><b>Tema 6: Circuitos secuenciales</b> Duración: 02:00 LM: Actividad del tipo Lección Magistral</p>			
Semana 10	<p><b>Tema 7: Memorias</b> Duración: 01:00 LM: Actividad del tipo Lección Magistral</p> <p><b>Tema 7: Memorias</b> Duración: 02:00 LM: Actividad del tipo Lección Magistral</p>			<p><b>Segunda entrega del proyecto correspondiente a circuitos secuenciales</b> Duración: 00:00 TG: Técnica del tipo Trabajo en Grupo Evaluación continua Actividad presencial</p>
Semana 11	<p><b>Tema 7: Memorias</b> Duración: 02:00 LM: Actividad del tipo Lección Magistral</p> <p><b>Tema 9: Visión global del circuito integrado</b> Duración: 01:00 LM: Actividad del tipo Lección Magistral</p>	<p><b>Tema 8: Síntesis lógica con Synopsys. Simulación. Optimización de consumo.</b> Duración: 02:00 PL: Actividad del tipo Prácticas de Laboratorio</p>		
Semana 12	<p><b>Tema 9: Visión global del circuito integrado</b> Duración: 01:00 LM: Actividad del tipo Lección Magistral</p> <p><b>Tema 9: Visión global del circuito integrado</b> Duración: 02:00 LM: Actividad del tipo Lección Magistral</p>	<p><b>Tema 8: Colocación y rutado con Encounter. Utilización de scripts.</b> Duración: 02:00 PL: Actividad del tipo Prácticas de Laboratorio</p>		
Semana 13	<p><b>Tema 10: Test de circuitos integrados</b> Duración: 01:00 LM: Actividad del tipo Lección Magistral</p> <p><b>Tema 10: Test de circuitos integrados</b> Duración: 02:00 LM: Actividad del tipo Lección Magistral</p>			<p><b>Tercera entrega del proyecto correspondiente a memorias y el controlador central sintetizado a partir de un código VHDL</b> Duración: 00:00 TG: Técnica del tipo Trabajo en Grupo Evaluación continua Actividad presencial</p>



Semana 14	<b>Repaso. Ejercicios de examen</b> Duración: 04:00 PR: Actividad del tipo Clase de Problemas			
Semana 15				
Semana 16				
Semana 17				<p><b>Examen final</b> Duración: 03:00 EX: Técnica del tipo Examen Escrito Evaluación continua Actividad presencial</p> <p><b>Entrega del proyecto final cuyo contenido técnico se corresponde a las tres entregas anteriores más la parte de visión global del chip</b> Duración: 00:00 TG: Técnica del tipo Trabajo en Grupo Evaluación continua y sólo prueba final Actividad presencial</p> <p><b>Participación en clase a lo largo del curso</b> Duración: 00:00 OT: Otras técnicas evaluativas Evaluación continua Actividad presencial</p> <p><b>Examen final</b> Duración: 03:00 EX: Técnica del tipo Examen Escrito Evaluación sólo prueba final Actividad presencial</p>

**Nota.-** El cronograma sigue una planificación teórica de la asignatura que puede sufrir modificaciones durante el curso.

**Nota 2.-** Para poder calcular correctamente la dedicación de un alumno, la duración de las actividades que se repiten en el tiempo (por ejemplo, subgrupos de prácticas") únicamente se indican la primera vez que se definen.

## Actividades de Evaluación

Semana	Descripción	Duración	Tipo evaluación	Técnica evaluativa	Presencial	Peso	Nota mínima	Competencias evaluadas
4	Entrega de problemas teóricos sobre el funcionamiento de los transistores MOS	00:00	Evaluación continua	TI: Técnica del tipo Trabajo Individual	No	5%		CE12
7	Primera entrega del proyecto correspondiente a circuitos combinacionales	00:00	Evaluación continua	TG: Técnica del tipo Trabajo en Grupo	Sí			CE12, CT4, CE10, CT3
10	Segunda entrega del proyecto correspondiente a circuitos secuenciales	00:00	Evaluación continua	TG: Técnica del tipo Trabajo en Grupo	Sí			CE12, CT4, CE10, CT3
13	Tercera entrega del proyecto correspondiente a memorias y el controlador central sintetizado a partir de un código VHDL	00:00	Evaluación continua	TG: Técnica del tipo Trabajo en Grupo	Sí			CE12, CT4, CE10, CT3
17	Examen final	03:00	Evaluación continua	EX: Técnica del tipo Examen Escrito	Sí	50%	4 / 10	CE12, CE10, CT3
17	Entrega del proyecto final cuyo contenido técnico se corresponde a las tres entregas anteriores más la parte de visión global del chip	00:00	Evaluación continua y sólo prueba final	TG: Técnica del tipo Trabajo en Grupo	Sí	40%	4 / 10	CE12, CT4, CE10, CT3, CE11, CT5
17	Participación en clase a lo largo del curso	00:00	Evaluación continua	OT: Otras técnicas evaluativas	Sí	5%		CT4, CE10, CT3
17	Examen final	03:00	Evaluación sólo prueba final	EX: Técnica del tipo Examen Escrito	Sí	60%	4 / 10	CE12, CE10, CT3

## Criterios de Evaluación

La calificación final de la asignatura, en evaluación continua, se realizará a través de tres evaluaciones:

- Un examen escrito (50%). En él el alumno, con o sin la utilización de textos de consulta o apuntes según los casos, deberá resolver problemas, diseños o cuestiones basados en los aspectos desarrollados en clase.
- Entrega de trabajos prácticos y ejercicios (40%).
- Participación en clase y entregas teóricas (10%).

En convocatoria ordinaria, los alumnos serán evaluados por defecto mediante evaluación continua. No obstante, los alumnos que lo deseen podrán ser evaluados por la opción sólo prueba final, siempre y cuando lo comuniquen al Coordinador de la Asignatura mediante correo electrónico enviado antes de la fecha de entrega de la primera entrega del proyecto, en la semana 7. En esta opción, el alumnado tiene acceso libre al laboratorio y la calificación se otorgará en función de dos evaluaciones:

- Un examen escrito (60%). En él el alumno, con o sin la utilización de textos de consulta o apuntes según los casos, deberá resolver problemas, diseños o cuestiones basados en los aspectos desarrollados en clase.
- Entrega de la memoria y los ficheros del proyecto final (40%). Es el mismo proyecto que en la versión de evaluación continua.

## Recursos Didácticos

---

Descripción	Tipo	Observaciones
CMOS VLSI Design: A circuits and Systems Perspective N. Weste, D. Harris (Libro de referencia). Pearson Addison Wesley 2005.	Bibliografía	
Principles of CMOS Design - A Systems Perspective. N. Weste, K. Eshraghian. Addison-Wesley. 1993 (2nd edition).	Bibliografía	
"Digital Integrated Circuits", Rabaey, J.M. Prentice Hall, 1996	Bibliografía	
Introduction to VLSI Systems: A Logic, Circuit, and System Perspective Ming-Bo Lin. CRC Press. 2011	Bibliografía	