



Diseño de Sistemas Electrónicos Digitales

Guía de Aprendizaje – Información al estudiante

1. Datos Descriptivos

Asignatura	Diseño de Sistemas Electrónicos Digitales
Materia	M11 – Tecnología Específica de Sistemas Electrónicos
Departamento responsable	Ingeniería Electrónica
Créditos ECTS	6
Carácter	Obligatoria
Titulación	Graduado en Ingeniería de Tecnologías y Servicios de Telecomunicación
Curso	4º
Especialidad	Itinerario en Sistemas Electrónicos
Curso académico	2014-2015
Semestre en que se imparte	Primero
Idioma en que se imparte	Castellano
Página Web	http://moodle.upm.es/titulaciones/oficiales



DESCRIPCIÓN DE LA ASIGNATURA

En esta asignatura se afianzan, desarrollan y amplían los conocimientos de electrónica digital adquiridos previamente en la carrera.

La asignatura se compone de una parte teórica, que incluye resolución de problemas, y un laboratorio, con énfasis especial en este último como recurso fundamental para la asimilación de los conocimientos adquiridos e impulsor hacia la práctica profesional.

En este sentido, los objetivos del trabajo en el laboratorio se pueden describir a través de las capacidades que se promueven en el mismo:

- Diseño práctico de sistemas electrónicos digitales
- Utilización de herramientas CAD profesionales para diseño digital
- Especificación en lenguaje VHDL y técnicas de simulación
- Síntesis e implementación de sistemas digitales sobre FPGAs

Por su parte, la teoría desarrolla la temática siguiente:

- Alternativas tecnológicas de implementación
- Temporización de sistemas digitales
- Arquitecturas segmentadas
- Operadores aritméticos básicos
- Procesado digital de señales en hardware

El planteamiento del laboratorio se realiza en tres prácticas. La primera contiene varios ejercicios guiados con el propósito de introducir al lenguaje de descripción hardware VHDL y familiarizar con las herramientas software de desarrollo. La segunda es un primer ejercicio de diseño, de pequeña complejidad, y la última, que ocupa la mitad del tiempo de la asignatura, consiste en el diseño sobre especificaciones de un sistema electrónico completo de complejidad media.

2. Profesorado

NOMBRE Y APELLIDO	DESPACHO	Correo electrónico
Angel Fernández Herrero	B-111	angelfh@die.upm.es
Juan Antonio López Martín	B-111	juanant@die.upm.es



3. Conocimientos previos requeridos para poder seguir con normalidad la asignatura

Asignaturas superadas	EDIG, CELT
Otros resultados de aprendizaje necesarios	

4. Objetivos de Aprendizaje

COMPETENCIAS ASIGNADAS A LA ASIGNATURA Y SU NIVEL DE ADQUISICIÓN		
Código	Competencia	Nivel
CG6	Uso de la lengua inglesa	2
CG9	Uso de Tecnologías de la Información y de las Comunicaciones	2
CG10	Creatividad	2
CG12	Organización y planificación	2
CE-SE1	Capacidad de construir, explotar y gestionar sistemas de captación, transporte, representación, procesado, almacenamiento, gestión y presentación de información multimedia, desde el punto de vista de los sistemas electrónicos	2
CE-SE3	Capacidad de realizar la especificación, implementación, documentación y puesta a punto de equipos y sistemas electrónicos, de instrumentación y de control, considerando tanto los aspectos técnicos como las normativas reguladoras correspondientes	1
CE-SE5	Capacidad de diseñar circuitos de electrónica analógica y digital, de conversión analógico-digital y digital-analógica, de radiofrecuencia, de alimentación y conversión de energía eléctrica para aplicaciones de telecomunicación y computación	1



CE-SE7	Capacidad para diseñar dispositivos de interfaz, captura de datos y almacenamiento, y terminales para servicios y sistemas de telecomunicación	2
--------	--	---

LEYENDA: Nivel de adquisición 1: Básico
 Nivel de adquisición 2: Medio
 Nivel de adquisición 3: Avanzado

RESULTADOS DE APRENDIZAJE DE LA ASIGNATURA			
Código	Resultado de aprendizaje	Competencias asociadas	Nivel de adquisición
RA1	Conocer las alternativas tecnológicas disponibles en la actualidad para la realización de sistemas electrónicos digitales y la metodología y herramientas que se emplean para el diseño y depuración de los mismos como sistemas de gran complejidad que son.	CE-SE1 CE-SE3 CE-SE5 CE-SE7	1
RA2	Conocer los conceptos relativos a la temporización de sistemas digitales, incluyendo fenómenos que aumentan su efecto cuando aquéllos se hacen más complejos y rápidos, así como sus implicaciones sobre el diseño síncrono.	CE-SE1 CE-SE3 CE-SE5 CE-SE7	2
RA3	Conocer las arquitecturas típicas de un sistema digital complejo, y en particular los conceptos fundamentales asociados a la técnica de segmentación o <i>pipelining</i> . Ser capaz de aplicarla para aumentar la frecuencia de funcionamiento de un sistema digital.	CE-SE1 CE-SE3 CE-SE5 CE-SE7	2
RA4	Conocer cómo es posible mejorar las prestaciones de sistemas digitales a través del estudio de las diversas arquitecturas disponibles en casos específicos de uso habitual, como son los operadores aritméticos básicos (sumadores y multiplicadores).	CE-SE1 CE-SE3 CE-SE5 CE-SE7	2
RA5	Conocer el empleo de las técnicas de desarrollo hardware de sistemas digitales en un importante campo de aplicación, como es el del procesamiento de señales en tiempo real.	CE-SE1 CE-SE3 CE-SE5 CE-SE7	2
RA6	Conocer un conjunto significativo de elementos del lenguaje VHDL. Especial relevancia tiene la descripción de máquinas de estados, por su importancia en el diseño de controladores.	CE-SE1 CE-SE3 CE-SE5 CE-SE7	2



RESULTADOS DE APRENDIZAJE DE LA ASIGNATURA			
Código	Resultado de aprendizaje	Competencias asociadas	Nivel de adquisición
RA7	Ser capaz de reutilizar, durante la especificación de un sistema, componentes previamente implementados, bien sean propios o realizados por terceros (<i>cores</i>), como pilar fundamental para la construcción de sistemas complejos.	CE-SE1 CE-SE3 CE-SE5 CE-SE7	3
RA8	Ser capaz de describir en un <i>testbench</i> un plan de pruebas específico para comprobar la funcionalidad de un diseño digital, como también de aplicarlo con eficacia durante la depuración en simulación tanto de comportamiento como posterior al rutado.	CE-SE1 CE-SE3 CE-SE5 CE-SE7	3
RA9	Conocer las características del código sintetizable, comprender el concepto de inferencia que realiza la herramienta de síntesis y ser capaz de identificar y solucionar los errores más comunes que aparecen al escribir código VHDL, todo ello con el objetivo de obtener desarrollos funcionales eficazmente.	CE-SE1 CE-SE3 CE-SE5 CE-SE7	3
RA10	Ser capaz de emplear el lenguaje VHDL junto con las herramientas de desarrollo hardware disponibles para realizar la implementación práctica de sistemas digitales de diversa complejidad.	CE-SE1 CE-SE3 CE-SE5 CE-SE7	3

LEYENDA: Nivel de adquisición 1: Conocimiento descriptivo
 Nivel de adquisición 2: Comprensión/Aplicación
 Nivel de adquisición 3: Análisis/Síntesis/Implementación

5. Sistema de evaluación de la asignatura

INDICADORES DE LOGRO		
Ref	Indicador	Relacionado con RA
I1	Conocer las alternativas tecnológicas disponibles en la actualidad para la realización de sistemas electrónicos digitales.	RA1
I2	Conocer la metodología y herramientas disponibles para el diseño y depuración de sistemas electrónicos digitales.	RA1
I3	Conocer los conceptos básicos de temporización en sistemas digitales y la metodología de diseño síncrono.	RA2



INDICADORES DE LOGRO		
Ref	Indicador	Relacionado con RA
14	Conocer algunos efectos que toman relevancia cuando los sistemas digitales se hacen más complejos y rápidos.	RA2
15	Conocer los conceptos fundamentales asociados a las arquitecturas digitales segmentadas (<i>pipelines</i>).	RA3
16	Conocer la aplicación de las técnicas de implementación de sistemas digitales en hardware al procesado de señales.	RA5
17	Conocer algunas de las diversas arquitecturas disponibles para los operadores aritméticos básicos.	RA4
18	Conocer un conjunto significativo de elementos del lenguaje de descripción hardware VHDL.	RA6-8
19	Conocer un conjunto de conceptos y técnicas de utilidad práctica para la implementación de sistemas digitales en hardware.	RA7-9
I10	Ser capaz de identificar y solucionar los errores más comunes que aparecen al escribir código VHDL.	RA9
I11	Conocer y ser capaz de emplear con eficacia el lenguaje VHDL y las herramientas de diseño disponibles.	RA10
I12	Ser capaz de realizar la implementación práctica de sistemas digitales de diversa complejidad.	RA10

EVALUACION SUMATIVA				
Breve descripción de las actividades evaluables	Momento	Lugar	Peso	Peso
PARTE TEÓRICA				40
Primer parcial (T2, T3.1)	Semana 10	Aula	40	
Segundo parcial (T3.2, T4)	Convocatoria Oficial	Por decidir	50	
Entrega de problemas resueltos	Periódica	Aula	10	
Total: 100%				
LABORATORIO				60
Entrega Práctica I	Semana 4	Moodle	–	
Entrega Práctica II	Semana 7	Moodle	20	
Entrega Práctica III	Semana 14	Moodle	80	
Total: 100%				
Total: 100%				



CRITERIOS DE CALIFICACIÓN

A. CONVOCATORIA ORDINARIA

En esta convocatoria, los alumnos serán evaluados, por defecto, mediante evaluación continua.

Sin embargo, aquellos alumnos que lo deseen podrán ser evaluados mediante un único examen final siempre que se lo comuniquen al Director del Departamento de Ingeniería Electrónica mediante solicitud presentada en el registro de la E.T.S.I. Telecomunicación antes del día **15 de octubre de 2014 (Semana 6)**, lo que supone la renuncia a la evaluación continua.

A.1. Evaluación continua

Teoría

En la parte teórica la nota se obtendrá como suma de las calificaciones (sobre 10) correspondientes a las diferentes actividades de evaluación, con los pesos indicados en la tabla previa:

$$\text{teoría} = 40\% \text{ primer parcial} + 50\% \text{ segundo parcial} + 10\% \text{ entrega problemas}$$

La materia correspondiente al primer parcial será liberada en caso de obtener en el mismo una calificación P1 mayor o igual a 4'0 puntos.

Si la puntuación obtenida es inferior (o se desear subir nota), el alumno deberá (podrá) presentarse a la recuperación del primer parcial, que tendrá lugar en la misma fecha y lugar que el segundo, obteniendo la calificación P1R.

La nota del primer parcial se calculará entonces como:

$$\text{primer parcial} = 20\% P1 + 80\% P1R$$

aplicando después la expresión indicada más arriba para obtener la nota final de teoría.

Laboratorio

En el laboratorio se realizarán tres entregas, una para cada una de las prácticas propuestas. Las prácticas se realizarán preferiblemente por parejas.

La Práctica I no se califica, estando concebida como introducción al lenguaje VHDL y al empleo de las herramientas de desarrollo.

Por otro lado, la Práctica II será evaluada por los profesores a partir del material entregado a través del Moodle.

Para calificar la Práctica III se realizará a cada pareja un examen en el laboratorio, donde deberán demostrar el desarrollo realizado, previamente entregado a través del Moodle. La fecha de este examen será concertada por cada pareja con los profesores después de realizar la entrega.

La nota final de laboratorio se calculará entonces como:

$$\text{laboratorio} = 20\% \text{ Práctica II} + 80\% \text{ Práctica III}$$

A.2. Examen final

Teoría

La calificación de teoría de los alumnos que renuncien a la evaluación continua se otorgará en función de una única prueba final a celebrar en la Convocatoria Oficial.



Esta prueba estará dividida en dos partes, una de ellas para la materia correspondiente al segundo parcial P2 y otra coincidente con la P1R ya mencionada.

Laboratorio

La realización del laboratorio es obligatoria para todos los alumnos. Fuera de la evaluación continua, la calificación se obtendrá mediante exámenes por parejas en el laboratorio para la Práctica III, tal como ya se ha descrito.

Si se obtiene una nota superior o igual a 7'0 en el laboratorio, esa calificación se podrá conservar hasta el siguiente curso, de tal forma que, si se repite la asignatura, no será obligatorio hacer el laboratorio de nuevo.

A.3 Nota final

La calificación final de la asignatura se obtendrá a partir de los resultados descritos anteriormente mediante:

$$\text{nota final} = 40\% \text{ teoría} + 60\% \text{ laboratorio}$$

Será obligatorio aprobar laboratorio y teoría por separado. En caso contrario se considerará no superada la asignatura.

B. CONVOCATORIA EXTRAORDINARIA

La evaluación de la asignatura en convocatoria extraordinaria se realizará de manera similar a como se ha indicado anteriormente para el supuesto de examen final, con independencia de la opción elegida en la convocatoria ordinaria, con la diferencia de que habrá una única prueba para la teoría, sin separación en parciales.

NOTA: En cualquiera de los supuestos anteriores, se considerará aprobado cuando el promedio final sea mayor o igual que 5'0 (sobre 10).

6. Contenidos y actividades de aprendizaje

CONTENIDOS ESPECÍFICOS		
Bloque / Tema / Capítulo	Apartado	Indicadores relacionados
PARTE TEÓRICA		
Tema T1 Diseño de sistemas hardware	1.1 Plataformas hardware ASICs, CPLDs y FPGAs Arquitectura de una FPGA	I1
	1.2 Metodologías de diseño de sistemas digitales complejos Herramientas y flujo de diseño Entornos de desarrollo integrados: síntesis y simulación Reutilización, cores e <i>Intellectual Property</i>	I2



Tema T2 Temporización de sistemas digitales	2.1 Combinacionales Riesgos, carreras y <i>glitches</i> Concepto de camino crítico	13
	2.2 Secuenciales Metodología de diseño síncrono Frecuencia de funcionamiento	
	2.3 Dificultades para el diseño síncrono <i>Clock skew</i> y <i>clock jitter</i> <i>Clock gating</i> Entradas asíncronas Metaestabilidad	14
Tema T3 Sistemas secuenciales y procesado de señales	3.1 Sistemas secuenciales Controladores y <i>datapaths</i> Paralelismo y <i>pipelining</i> Arquitecturas segmentadas	15
	3.2 Procesado de señales en hardware Filtros digitales Implementaciones hardware en punto fijo	16
Tema T4 Operadores aritméticos básicos	4.1 Sumadores <i>Ripple carry</i> , <i>carry-bypass</i> , <i>carry-select</i> , <i>carry-save</i> 4.2 Multiplicadores Matricial, <i>carry-save</i> , Booth-Wallace	17

CONTENIDOS ESPECÍFICOS		
Bloque / Tema / Capítulo	Apartado	Indicadores relacionados
LABORATORIO		
Tema L1 El lenguaje VHDL	Niveles de abstracción Tipos y subtipos de datos, conversiones Constantes, señales y variables, atributos Asignaciones, operadores Entidades, puertos y <i>generics</i> Arquitecturas, sentencias concurrentes Procesos y listas de sensibilidad, sentencias secuenciales Reutilización de componentes, paquetes y librerías Bancos de pruebas, <i>wait</i> y <i>after</i> , <i>assert</i> , empleo de ficheros	18
Tema L2 Consideraciones prácticas para diseño y simulación-verificación	Descripción de máquinas de estados Concepto de código sintetizable Inferencias comunes en la síntesis Procesos combinacionales y secuenciales Temporización y simulación Ficheros de restricciones Automatización de pruebas mediante <i>scripts</i>	19



Tema L3 Errores comunes en el uso del VHDL	Listas de sensibilidad incompletas Aparición de <i>latches</i> Lazos combinacionales Asignación múltiple de señales Empleo de señales y variables Inicialización de señales	I10
Práctica I	Consta de ejercicios guiados con el propósito de introducir al lenguaje de descripción hardware VHDL y familiarizar con las herramientas software de desarrollo.	I11
Práctica II	Diseño de un módulo de pequeña complejidad que luego formará parte del sistema a construir en la Práctica III.	I12
Práctica III	Diseño sobre especificaciones de un sistema electrónico digital completo de complejidad media.	I12

NOTA: Los indicadores I8 a I12 se evalúan mediante las prácticas de laboratorio.

7. Breve descripción de las modalidades organizativas utilizadas y de los métodos de enseñanza empleados

CLASES DE TEORÍA	Por un lado, se exponen en ellas conceptos y métodos de análisis relativos a la parte teórica de la asignatura. Por otro, se aprovechan también para realizar las introducciones a las prácticas de laboratorio, proporcionar información adicional de interés y resolver las dificultades que aparezcan.
CLASES DE PROBLEMAS	En estas clases se resuelven problemas prácticos relativos a la parte teórica de la asignatura, similares a los que formarán parte de los exámenes parciales y final de la misma.
CLASES DEMOSTRATIVAS	Se prevé una sesión demostrativa sobre el empleo de las herramientas de desarrollo que se utilizan en el laboratorio de diseño hardware.
PRÁCTICAS DE LABORATORIO	De forma general, de las dos clases semanales (4h) asignadas en horario a la asignatura, se dedica una a teoría (2h) y otra a trabajo de laboratorio (2h). Sin embargo, es necesario algún tiempo adicional de dedicación al laboratorio cada semana (2h), que deberá programarse en otro horario (por la tarde habitualmente). Ver cronograma de la asignatura en la Sección 9. Los alumnos deben llevar preparado el trabajo a realizar en cada sesión de laboratorio para aprovechar al máximo el tiempo dedicado en el mismo.



TRABAJOS AUTÓNOMOS	Al lo largo del curso se entregan a los alumnos algunos problemas para que sean resueltos como parte de su trabajo personal. Las soluciones se contabilizan como parte de la evaluación continua.
TRABAJOS EN GRUPO	Las prácticas de laboratorio se realizan en parejas.
TUTORÍAS	Se realizan según la normativa vigente.

8. Recursos Didácticos

RECURSOS DIDÁCTICOS	
BIBLIOGRAFÍA	<ul style="list-style-type: none"> – John F. Wakerly, <i>Digital Design: Principles and Practices</i>, Prentice Hall, 4th Edition, 2007. – Jan M. Rabaey, A. Chandrakasan, B. Nikolic, <i>Digital Integrated Circuits: A Design Perspective</i>, Prentice Hall, 2nd Edition, 2003. – Peter J. Ashenden, <i>The Designer's Guide to VHDL</i>, Morgan Kaufmann, 2nd Edition, 2003. – Volnei A. Pedroni, <i>Circuit Design with VHDL</i>, The MIT Press, 2004. – Pong P. Chu, <i>FPGA prototyping by VHDL examples: Xilinx Spartan-3 version</i>, John Wiley & Sons, 2008.
RECURSOS WEB	Página Web de la asignatura: http://moodle.upm.es/titulaciones/oficiales
EQUIPAMIENTO	Aula asignada por Jefatura de Estudios
	Laboratorio de desarrollo hardware en el B-043

9. Cronograma de trabajo de la asignatura

Semana	Actividades en Aula	Actividades en Laboratorio	Trabajo Individual	Trabajo en Grupo	Actividades de Evaluación	Otros
Semana 1 (6h)	<ul style="list-style-type: none"> • Introd. y Tema L1 (2h) • Tema T1 (2h) 		<ul style="list-style-type: none"> • Estudio de teoría (2h) 			
Semana 2 (8h)	<ul style="list-style-type: none"> • Tema T2 (2h) 	Práctica I (2h+2h)	<ul style="list-style-type: none"> • Estudio de teoría (2h) 	Trabajo por parejas en el laboratorio		
Semana 3 (8h)	<ul style="list-style-type: none"> • Tema L2 y demostración de las herramientas (2h) 	Práctica I (2h+2h)	<ul style="list-style-type: none"> • Estudio de teoría (2h) 	Trabajo por parejas en el laboratorio		
Semana 4 (10h)	<ul style="list-style-type: none"> • Tema T3.1 (2h) 	Práctica I (2h+2h)	<ul style="list-style-type: none"> • Estudio de teoría (2h) • Solución de problemas (2h) 	Trabajo por parejas en el laboratorio	<ul style="list-style-type: none"> • Posible entrega de problemas 	
Semana 5 (10h)	<ul style="list-style-type: none"> • Introd. a la Práctica II (2h) • Tema T3.1 (2h) 	Práctica II (2h)	<ul style="list-style-type: none"> • Estudio de teoría (2h) • Preparación práctica (2h) 	Trabajo por parejas en el laboratorio		
Semana 6 (10h)	<ul style="list-style-type: none"> • Tema L3 (2h) 	Práctica II (2h+2h)	<ul style="list-style-type: none"> • Estudio de teoría (2h) • Preparación práctica (2h) 	Trabajo por parejas en el laboratorio		
Semana 7 (10h)	<ul style="list-style-type: none"> • Clase de problemas (2h) 	Práctica II (2h+2h)	<ul style="list-style-type: none"> • Solución de problemas (4h) 	Trabajo por parejas en el laboratorio	<ul style="list-style-type: none"> • Entrega Práctica II • Entrega de problemas 	
Semana 8 (12h)	<ul style="list-style-type: none"> • Introd. a la Práctica III (2h) • Tema T3.2 (2h) 	Práctica III (2h)	<ul style="list-style-type: none"> • Estudio de teoría (2h) • Preparación práctica (4h) 	Trabajo por parejas en el laboratorio		
Semana 9 (12h)	<ul style="list-style-type: none"> • Tema T3.2 (2h) 	Práctica III (2h+2h)	<ul style="list-style-type: none"> • Estudio de teoría (4h) • Preparación práctica (2h) 	Trabajo por parejas en el laboratorio		
Semana 10 (12h)	<ul style="list-style-type: none"> • Primer parcial (2h) 	Práctica III (2h+2h)	<ul style="list-style-type: none"> • Preparación examen (6h) 	Trabajo por parejas en el laboratorio	Primer parcial	



Semana	Actividades en Aula	Actividades en Laboratorio	Trabajo Individual	Trabajo en Grupo	Actividades de Evaluación	Otros
Semana 11 (10h)	<ul style="list-style-type: none"> Tema T4.1 (2h) 	Práctica III (2h+2h)	<ul style="list-style-type: none"> Estudio de teoría (2h) Solución de problemas (2h) 	Trabajo por parejas en el laboratorio	<ul style="list-style-type: none"> Posible entrega de problemas 	
Semana 12 (10h)	<ul style="list-style-type: none"> Tema T4.1 (2h) 	Práctica III (2h+2h)	<ul style="list-style-type: none"> Estudio de teoría (2h) Solución de problemas (2h) 	Trabajo por parejas en el laboratorio		
Semana 13 (10h)	<ul style="list-style-type: none"> Tema T4.2 (2h) 	Práctica III (2h+2h)	<ul style="list-style-type: none"> Estudio de teoría (2h) Solución de problemas (2h) 	Trabajo por parejas en el laboratorio	<ul style="list-style-type: none"> Posible entrega de problemas 	
Semana 14 (10h)	<ul style="list-style-type: none"> Tema T4.2 (2h) 	Práctica III (2h+2h)	<ul style="list-style-type: none"> Estudio de teoría (2h) Memoria Práctica III (2h) 	Trabajo por parejas en el laboratorio	<ul style="list-style-type: none"> Entrega Práctica III 	
Semana 15 (10h)	<ul style="list-style-type: none"> Clase de problemas (2h) Clase de ajuste (2h) 		<ul style="list-style-type: none"> Estudio de teoría (2h) Solución de problemas (4h) 		<ul style="list-style-type: none"> Entrega de problemas 	
Resto (14h)			<ul style="list-style-type: none"> Preparación examen (10h) 		Exámenes P2 y P1R (2h+2h)	

NOTA: Para cada actividad se especifica la dedicación en horas que implica para el alumno. Las semanas reseñadas lo son de docencia efectiva (no las semanas de calendario).



POLITÉCNICA

