

ANX-PR/CL/001-01
GUÍA DE APRENDIZAJE

ASIGNATURA

Ingeniería de sistemas con procesadores

CURSO ACADÉMICO - SEMESTRE

2016-17 - Segundo semestre

Datos Descriptivos

Nombre de la Asignatura	Ingeniería de sistemas con procesadores
Titulación	09AQ - Master Universitario en Ingeniería de Telecomunicación
Centro responsable de la titulación	Escuela Técnica Superior de Ingenieros de Telecomunicación
Semestre/s de impartición	Cuarto semestre
Módulos	Intensificación-investigación en telecomunicación
Materias	Electrónica II
Carácter	Optativa
Código UPM	93000834
Nombre en inglés	Engineering of systems with processors

Datos Generales

Créditos	6	Curso	2
Curso Académico	2016-17	Período de impartición	Febrero-Junio
Idioma de impartición	Castellano	Otros idiomas de impartición	

Requisitos Previos Obligatorios

Asignaturas Previas Requeridas

El plan de estudios Master Universitario en Ingeniería de Telecomunicación no tiene definidas asignaturas previas superadas para esta asignatura.

Otros Requisitos

El plan de estudios Master Universitario en Ingeniería de Telecomunicación no tiene definidos otros requisitos para esta asignatura.

Conocimientos Previos

Asignaturas Previas Recomendadas

El coordinador de la asignatura no ha definido asignaturas previas recomendadas.

Otros Conocimientos Previos Recomendados

Conocimientos básicos de programación

Conocimientos básicos de arquitectura de computadores

Conocimientos básicos de sistemas empujados



CAMPUS
DE EXCELENCIA
INTERNACIONAL

UNIVERSIDAD POLITÉCNICA DE MADRID
Escuela Técnica Superior de Ingenieros de Telecomunicación
PROCESO DE COORDINACIÓN DE LAS ENSEÑANZAS

ANX-PR/CL/001-01: GUÍA DE APRENDIZAJE



Código PR/CL/001

Competencias

CE11 - Conocimiento de los lenguajes de descripción hardware para circuitos de alta complejidad.

CE12 - Capacidad para utilizar dispositivos lógicos programables, así como para diseñar sistemas electrónicos avanzados, tanto analógicos como digitales. Capacidad para diseñar componentes de comunicaciones como por ejemplo encaminadores, conmutadores, concentradores, emisores y receptores en diferentes bandas.

CG4 - Que los estudiantes sepan comunicar sus conclusiones y los conocimientos y razones últimas que las sustentan? a públicos especializados y no especializados de un modo claro y sin ambigüedades.

Resultados de Aprendizaje

RA115 - Implementar aplicaciones sobre un Sistema Operativo de tiempo real en sistemas avanzados de procesadores

RA109 - Explicar el diseño de un módulo de la CPU y de la unidad de memoria principal de un microprocesador avanzado

RA116 - Diseñar e implementar aplicaciones reales usando plataformas de diseño basadas en procesadores avanzados

RA111 - Implementar y usar el software, modos de dirección y conjuntos de instrucciones de procesadores avanzados

RA112 - Especificar el flujo de desarrollo software para la programación de microcontroladores

RA114 - Describir el diseño de sistemas basados en FPGA y sintetizar módulos en HDL

RA108 - Analizar y definir arquitecturas avanzadas de procesadores, códigos de operación y modelos de programación

RA110 - Describir el diseño de sistemas avanzados basados en procesador con diagrama de bloques

RA113 - Diseñar e implementar sistemas de entrada/salida y periféricos usados en sistemas avanzados basados en microprocesador

Profesorado

Profesorado

Nombre	Despacho	e-mail	Tutorías
Araujo Pinto, Alvaro (Coordinador/a)	B-104	alvaro.araujo@upm.es	L - 13:00 - 15:00 M - 13:00 - 15:00 J - 17:00 - 19:00

Nota.- Las horas de tutoría son orientativas y pueden sufrir modificaciones. Se deberá confirmar los horarios de tutorías con el profesorado.

Descripción de la Asignatura

Esta asignatura proporciona los recursos necesarios para desarrollar sistemas empotrados complejos, así como mejorar los diseños de estos sistemas basados en procesador. Permite entender y utilizar conceptos avanzados del diseño sistemas empotrados usando un SoC programable: sistema de memoria, controladores, periféricos, sistemas operativos, etc. Además, permite diseñar con restricciones como puede ser consumo, coste, fiabilidad o seguridad.

Temario

1. Arquitectura de procesadores avanzados
2. Sistemas de memoria
3. Periféricos y controladores
4. FPGAs
5. Co-procesadores hardware para acelerar las prestaciones
6. Sistemas Operativos de Tiempo Real
7. Impacto de las restricciones (tiempo, memoria, seguridad,...) en el diseño

Cronograma

Horas totales: 62 horas

Horas presenciales: 62 horas (39.7%)

Peso total de actividades de evaluación continua:
100%

Peso total de actividades de evaluación sólo prueba final:
100%

Semana	Actividad Presencial en Aula	Actividad Presencial en Laboratorio	Otra Actividad Presencial	Actividades Evaluación
Semana 1	Arquitecturas avanzadas de procesadores Duración: 02:00 LM: Actividad del tipo Lección Magistral	Practica de procesadores simples Duración: 02:00 PL: Actividad del tipo Prácticas de Laboratorio		
Semana 2	Arquitecturas avanzadas de procesadores Duración: 02:00 LM: Actividad del tipo Lección Magistral	Prácticas de diseño de sistemas Duración: 02:00 PL: Actividad del tipo Prácticas de Laboratorio		Evaluación de la práctica Duración: 00:00 EP: Técnica del tipo Examen de Prácticas Evaluación continua Actividad no presencial
Semana 3	Sistemas de Memoria Duración: 02:00 LM: Actividad del tipo Lección Magistral	Prácticas de Sistemas de Memoria Duración: 02:00 PL: Actividad del tipo Prácticas de Laboratorio		
Semana 4	Sistemas de Memoria Duración: 02:00 LM: Actividad del tipo Lección Magistral	Prácticas de Sistemas de Memoria Duración: 02:00 PL: Actividad del tipo Prácticas de Laboratorio		Evaluación de la práctica Duración: 00:00 OT: Otras técnicas evaluativas Evaluación continua Actividad no presencial
Semana 5	Periféricos y controladores Duración: 02:00 LM: Actividad del tipo Lección Magistral	Práctica de controladores de periféricos Duración: 02:00 PL: Actividad del tipo Prácticas de Laboratorio		
Semana 6	Periféricos y controladores Duración: 02:00 LM: Actividad del tipo Lección Magistral	Práctica de controladores de periféricos Duración: 02:00 PL: Actividad del tipo Prácticas de Laboratorio		Evaluación de la práctica Duración: 00:00 OT: Otras técnicas evaluativas Evaluación continua Actividad no presencial
Semana 7	FPGAs Duración: 02:00 LM: Actividad del tipo Lección Magistral	Práctica de diseño en HDL sobre FPGAs Duración: 02:00 PL: Actividad del tipo Prácticas de Laboratorio		
Semana 8	FPGAs Duración: 02:00 LM: Actividad del tipo Lección Magistral	Práctica de diseño en HDL sobre FPGAs Duración: 02:00 PL: Actividad del tipo Prácticas de Laboratorio		Evaluación de la práctica Duración: 00:00 OT: Otras técnicas evaluativas Evaluación continua Actividad no presencial
Semana 9	Co-procesadores hardware Duración: 02:00 LM: Actividad del tipo Lección Magistral	Práctica de co-procesador hardware Duración: 02:00 PL: Actividad del tipo Prácticas de Laboratorio		

Semana 10	Co-procesadores hardware Duración: 02:00 LM: Actividad del tipo Lección Magistral	Práctica de co-procesador hardware Duración: 02:00 PL: Actividad del tipo Prácticas de Laboratorio		Evaluación de la práctica Duración: 00:00 OT: Otras técnicas evaluativas Evaluación continua Actividad no presencial
Semana 11	Sistemas Operativos de Tiempo Real Duración: 02:00 LM: Actividad del tipo Lección Magistral	Prácticas de Sistemas Operativos en Tiempo Real Duración: 02:00 PL: Actividad del tipo Prácticas de Laboratorio		
Semana 12	Sistemas Operativos de Tiempo Real Duración: 02:00 LM: Actividad del tipo Lección Magistral	Prácticas de Sistemas Operativos en Tiempo Real Duración: 02:00 PL: Actividad del tipo Prácticas de Laboratorio		Evaluación de la práctica Duración: 00:00 OT: Otras técnicas evaluativas Evaluación continua Actividad no presencial
Semana 13	Impacto de las restricciones Duración: 02:00 LM: Actividad del tipo Lección Magistral	Prácticas de restricciones al sistema Duración: 02:00 PL: Actividad del tipo Prácticas de Laboratorio		
Semana 14	Impacto de las restricciones Duración: 02:00 LM: Actividad del tipo Lección Magistral	Prácticas de restricciones al sistema Duración: 02:00 PL: Actividad del tipo Prácticas de Laboratorio		Evaluación de la práctica Duración: 00:00 OT: Otras técnicas evaluativas Evaluación continua Actividad no presencial
Semana 15		Proyecto final integrado Duración: 04:00 OT: Otras actividades formativas		Presentación final del proyecto Duración: 02:00 PG: Técnica del tipo Presentación en Grupo Evaluación continua Actividad presencial Prueba teórico/práctica final Duración: 02:00 EX: Técnica del tipo Examen Escrito Evaluación sólo prueba final Actividad no presencial
Semana 16				
Semana 17				

Nota.- El cronograma sigue una planificación teórica de la asignatura que puede sufrir modificaciones durante el curso.

Nota 2.- Para poder calcular correctamente la dedicación de un alumno, la duración de las actividades que se repiten en el tiempo (por ejemplo, subgrupos de prácticas") únicamente se indican la primera vez que se definen.

Actividades de Evaluación

Semana	Descripción	Duración	Tipo evaluación	Técnica evaluativa	Presencial	Peso	Nota mínima	Competencias evaluadas
2	Evaluación de la práctica	00:00	Evaluación continua	EP: Técnica del tipo Examen de Prácticas	No	10%		CE12
4	Evaluación de la práctica	00:00	Evaluación continua	OT: Otras técnicas evaluativas	No	10%		CE11
6	Evaluación de la práctica	00:00	Evaluación continua	OT: Otras técnicas evaluativas	No	10%	5 / 10	CE12, CE11
8	Evaluación de la práctica	00:00	Evaluación continua	OT: Otras técnicas evaluativas	No	10%		CE12, CE11
10	Evaluación de la práctica	00:00	Evaluación continua	OT: Otras técnicas evaluativas	No	10%		CE12, CE11
12	Evaluación de la práctica	00:00	Evaluación continua	OT: Otras técnicas evaluativas	No	10%		CE12, CE11
14	Evaluación de la práctica	00:00	Evaluación continua	OT: Otras técnicas evaluativas	No	10%		CE12, CE11
15	Presentación final del proyecto	02:00	Evaluación continua	PG: Técnica del tipo Presentación en Grupo	Sí	30%	5 / 10	CG4
15	Prueba teórico/práctica final	02:00	Evaluación sólo prueba final	EX: Técnica del tipo Examen Escrito	No	100%	5 / 10	CE12, CG4, CE11

Criterios de Evaluación

Teniendo en cuenta que todas las prácticas se enmarcan en un proyecto común, el criterio de evaluación se basará en pasar las pruebas definidas en el inicio de la práctica. En la presentación se evaluará la capacidad e comunicación, resolución de preguntas y síntesis.

En cumplimiento de la Normativa de Evaluación de la Universidad Politécnica de Madrid, los estudiantes que lo deseen serán evaluados mediante un único examen final siempre y cuando lo comuniquen por escrito al Coordinador de la asignatura antes del 20 de Abril. Esta opción supone la renuncia automática a la evaluación continua e implica la realización de una prueba final sobre las materias cubiertas en el curso y la documentación aportada.

En caso de renuncia a la evaluación continua, en la evaluación por prueba final se evaluará la capacidad para la resolución de problemas, siendo el criterio el de resolución completa para poder ser evaluado positivamente.

Recursos Didácticos

Descripción	Tipo	Observaciones
Libro básico	Bibliografía	John L. Hennesy y David A. Patterson, "Computer Architecture A Quantitative Approach", 5th edition, Morgan Kaufmann, 2012.
Libro complementario	Bibliografía	Tammy Noergaard, "Embedded Systems Architecture: A Comprehensive Guide for Engineers and Programmers", 2nd edition, Newnes, 2013
Artículos en la web	Recursos web	Artículos científicos en la web de la asignatura dentro del portal educativo moodle.upm.es

Otra Información

La plataforma de desarrollo a utilizar durante la asignatura irá variando en los diferentes cursos, adaptándose a las necesidades del proyecto integrado.